

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **59105341 A**

(43) Date of publication of application: **18.06.84**

(51) Int. Cl. **H01L 23/12**
H01P 1/00

(21) Application number: **57215803**

(22) Date of filing: **09.12.82**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(72) Inventor: **IKEDA YUKIO**
TAKAGI SUNAO

(54) **INTERDIGITAL CAPACITOR**

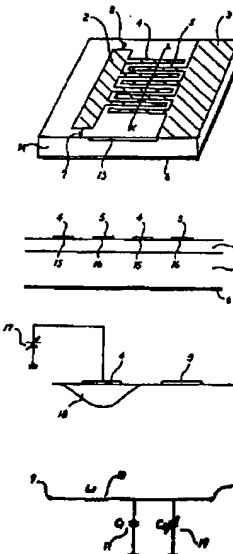
(57) Abstract:

PURPOSE: To vary characteristic impedance and a wavelength shortening rate in the case when the capacitor is regarded as a distribution fixed-number line by forming an epitaxial layer to the lower section of opposite fingers, joining a Schottky with a boundary surface between one finger and the epitaxial layer and forming an ohmic junction to the other finger.

CONSTITUTION: The epitaxial layer 13 formed to the lower section of the opposite fingers 4, 5 of the interdigital capacitor used for a microwave integrated circuit, and the Schottky junction surfaces are formed to the boundary surfaces 15 among one fingers 4 and the epitaxial layer 13 and the ohmic junctions to boundary surfaces 16 among the other fingers 5 and the epitaxial layer 13. Consequently, the size of an extent of a depletion layer 18 changes by adjusting a bias power supply 17, and the magnitude C_3 of an equivalent variable capacitance 19 depends upon the size of the extent of the depletion layer 18 because the equivalent variable capacitance 19 consists of the coupling capacitance of the fingers 4 and the fingers 5 and depletion capacitance depending upon the extent of the depletion layer. Accordingly, characteristic impedance and the wavelength shortening rate in the case when the

interdigital capacitor is regarded as the distribution fixed-number line can be changed by adjusting the bias power supply 17 and altering C_3 .

COPYRIGHT: (C)1984,JPO&Japio



INTERDIGITAL CAPACITOR

Patent Number: JP59105341
Publication date: 1984-06-18
Inventor(s): IKEDA YUKIO; others: 01
Applicant(s): MITSUBISHI DENKI KK
Requested Patent: JP59105341
Application Number: JP19820215803 19821209
Priority Number(s):
IPC Classification: H01L23/12; H01P1/00
EC Classification:
Equivalents:

Abstract

PURPOSE:To vary characteristic impedance and a wavelength shortening rate in the case when the capacitor is regarded as a distribution fixed-number line by forming an epitaxial layer to the lower section of opposite fingers, joining a Schottky with a boundary surface between one finger and the epitaxial layer and forming an ohmic junction to the other finger.

CONSTITUTION:The epitaxial layer 13 formed to the lower section of the opposite fingers 4, 5 of the interdigital capacitor used for a microwave integrated circuit, and the Schottky junction surfaces are formed to the boundary surfaces 15 among one fingers 4 and the epitaxial layer 13 and the ohmic junctions to boundary surfaces 16 among the other fingers 5 and the epitaxial layer 13. Consequently, the size of an extent of a depletion layer 18 changes by adjusting a bias power supply 17, and the magnitude C3 of an equivalent variable capacitance 19 depends upon the size of the extent of the depletion layer 18 because the equivalent variable capacitance 19 consists of the coupling capacitance of the fingers 4 and the fingers 5 and depletion capacitance depending upon the extent of the depletion layer. Accordingly, characteristic impedance and the wavelength shortening rate in the case when the interdigital capacitor is regarded as the distribution fixed-number line can be changed by adjusting the bias power supply 17 and altering C3.

Data supplied from the esp@cenet database - I2

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59-105341

⑬ Int. Cl.³
H 01 L 23/12
H 01 P 1/00

識別記号

庁内整理番号
7357-5F
7741-5J

⑭ 公開 昭和59年(1984)6月18日

発明の数 1
審査請求 未請求

(全 4 頁)

⑮ インタデジタルキャパシタ

⑯ 発明者 高木直

鎌倉市上町屋325番地三菱電機
株式会社情報電子研究所内

⑰ 特 願 昭57-215803

⑱ 出 願 昭57(1982)12月9日

⑲ 出 願 人 三菱電機株式会社

⑳ 発 明 者 池田幸夫

東京都千代田区丸の内2丁目2
番3号

鎌倉市上町屋325番地三菱電機
株式会社情報電子研究所内

㉑ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

インタデジタルキャパシタ

2. 特許請求の範囲

モノリシックマイクロ波集積回路を含むマイクロ波集積回路に用いるインタデジタルキャパシタにおいて、対向するフィンガーの下部にエピタキシャル層を設け、一方のフィンガーとエピタキシャル層の境界面にはショットキー接合面を、他方のフィンガーとエピタキシャル層にはオーミック接合を形成してあることを特徴とするインタデジタルキャパシタ。

3. 発明の詳細な説明

この発明は、モノリシックマイクロ波集積回路を含むマイクロ波集積回路に用いるインタデジタルキャパシタの改良に関するものである。

オ1図は、現在一般的に用いられている並列インタデジタルキャパシタの斜視図である。オ1図において、(1)は誘電体基板、(2)はターミナル線路1、(3)はターミナル線路2、(4)はフィンガー1、

(5)はフィンガー2、(6)はアース面、(7)は端子1、(8)は端子2である。そして、ターミナル線路1(2)ターミナル線路2(3)、フィンガー1(4)、フィンガー2(5)、アース面(6)は、誘電体基板(1)上に蒸着等により金属膜を設けることにより構成されている。

さらに、並列インタデジタルキャパシタにおいては、ターミナル線路2(3)は接地されている。

次に、現在一般的に用いられている並列インタデジタルキャパシタを分布定数線路と見なした場合の特性インピーダンス Z_0 、波長 λ について説明する。オ2図において、(9)はフィンガー1間の間隙である。

オ3図は、端子1(7)、端子2(8)間の等価回路図であり、オ3図中、00はターミナル線路1(2)の等価インダクタンスであり、01は同じくターミナル線路1(2)の等価容量であり、02はフィンガー1(4)とフィンガー2(5)の結合により生じる容量に相当する等価結合容量である。ここで便宜上、等価インダクタンス00、等価容量01、等価結合容量02の大きさをそれぞれ L_1 、 C_1 、 C_2 とする。

オ3図の等価回路図から、端子1(7)、端子2(8)間は、その特性インピーダンス Z_0 、波長短縮率 $\sqrt{\epsilon_{eff}}$ が次の式(1)、式(2)で与えられる分布定数線路と等価である。

$$Z_0 = \sqrt{L_1 / (C_1 + C_2)} \quad (1)$$

$$\sqrt{\epsilon_{eff}} = \sqrt{(C_1 + C_2) / C_0} \quad (2)$$

但し C_0 は、誘電体基板(1)部分を真空とした場合のターミナル線路1(2)の等価容量である。

しかし、現在一般的に用いられている並列インタデジタルキャパシタは、それを分布定数線路と見なした場合の特性インピーダンス Z_0' 、波長短縮率 $\sqrt{\epsilon_{eff}}$ が固定している。

とて、トランジスタ増幅器等の半導体回路では、半導体部分の特性がばらつくことがあり、整合回路を仮定する必要がある場合がある。このような半導体回路の整合回路に上記インタデジタルキャパシタを使用した場合、その特性インピーダンス Z_0 、波長短縮率 $\sqrt{\epsilon_{eff}}$ が固定しているため、回路を調整することが難しい欠点がある。

原理を説明するための模式図である。オ6図中、10はバイアス電源、11は空乏層である。

空乏層11の拡がりの大きさはバイアス電源10を調整することにより変化する。

オ7図は、端子1(7)、端子2(8)間の等価回路図であり、図中12は等価可変容量である。等価可変容量12はフィンガー1(4)とフィンガー2(5)の結合容量と空乏層11の拡がりに依存する空乏層容量とからなる。

この等価可変容量12の大きさを C_3 とすると、 C_3 は空乏層11の拡がりの大きさに依存する。つまりバイアス電源10を調整することにより、 C_3 を変化させることができる。

オ7図の等価回路図から、今回の発明に係るインタデジタルキャパシタは、その特性インピーダンス Z_0' 、波長短縮率 $\sqrt{\epsilon_{eff}}$ が次の式(3)、式(4)で与えられる分布定数線路と等価である。

$$Z_0' = \sqrt{L_1 / (C_1 + C_3)} \quad (3)$$

$$\sqrt{\epsilon_{eff}'} = \sqrt{(C_1 + C_3) / C_0} \quad (4)$$

った。

この発明は、この欠点を除去するため、インタデジタルキャパシタにおいて対向するフィンガーの下部にエピタキシャル層を設け、一方のフィンガーとエピタキシャル層の境界面にはショットキー接合を、他方にはオーミック接合を形成することにより、それを分布定数線路と見なした場合の特性インピーダンス Z_0 、波長短縮率 $\sqrt{\epsilon_{eff}}$ を変化できるようにしたものである。

オ4図は、この発明に係るインタデジタルキャパシタの構造を示す斜視図である。オ4図において、13はエピタキシャル層、14は半絶縁体基板である。

また、オ5図はオ4図をA-A断面で切断した場合の断面図である。

オ5図において、15は接触面1、16は接触面2であり、接触面1(15)にはショットキー接合面を、また接触面2(16)にはオーミック接合面を形成している。

次に動作原理について説明する。オ6図は動作

但し、 C_0 は誘電体基板(1)部分を真空とした場合のターミナル線路1(2)の等価容量である。

以上から、この発明に係るインタデジタルキャパシタではバイアス電源10を調整して C_3 を変化させることによって、それを分布定数線路と見なした場合の特性インピーダンス Z_0' 、波長短縮率 $\sqrt{\epsilon_{eff}'}$ を変化させることができる。

なお、以上は、並列インタデジタルキャパシタの場合について説明したが、この発明はこれに限らず直列インタデジタルキャパシタに使用してもよい。

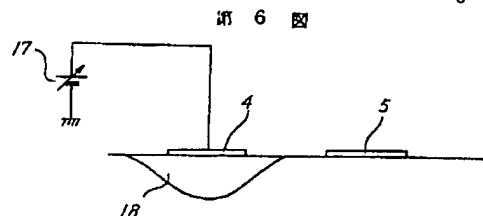
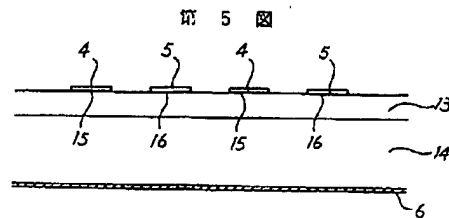
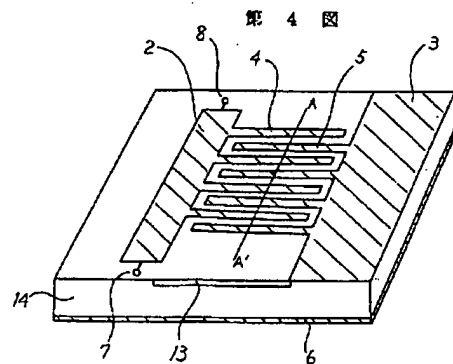
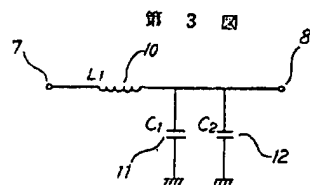
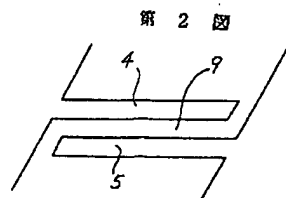
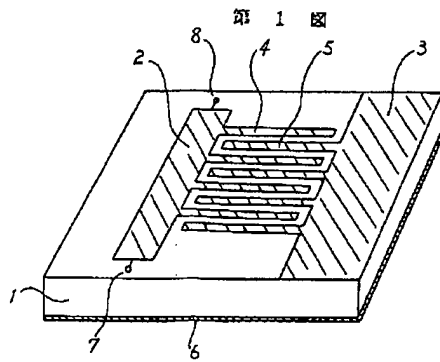
以上のように、この発明に係るインタデジタルキャパシタは、バイアス電源10を調整することによって、それを分布定数線路と見なした場合の特性インピーダンス Z_0' 、波長短縮率 $\sqrt{\epsilon_{eff}'}$ を変化させることができるので、例えば、これをモノリシックマイクロ波集積回路を含むマイクロ波集積回路の一例である増幅器に用いると、バイアス電源10を調整することによって増幅器の特性を調整することができる利点がある。

4. 図面の簡単な説明

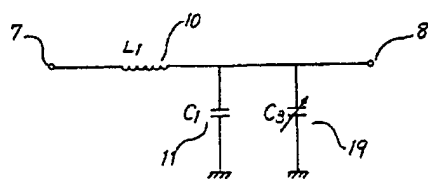
オ1図は現在一般的に用いられている並列インタデジタルキャパシタの斜視図、オ2図はフィンガー部分の拡大図、オ3図はオ1図の等価回路図、オ4図は今回の発明に係る並列インタデジタルキャパシタの斜視図、オ5図はオ4図をA-A'断面で切断した断面図、オ6図は動作原理を説明するための模式図、オ7図はオ4図の等価回路図であり、(1)は誘電体基板、(2)はターミナル線路1、(3)はターミナル線路2、(4)はフィンガー1、(5)はフィンガー2、(6)はアース面、(7)は端子1、(8)は端子2、(9)はフィンガー間の間隙、(10)は等価インダクタンス、(11)は等価容量、(12)は等価結合容量、(13)はエピタキシャル層、(14)は半絶縁体基板、(15)は境界面1、(16)は境界面2、(17)はバイアス電極、(18)は空乏層、(19)は等価可変容量である。

なお、図中同一あるいは相当部分には同一符号を付して示してある。

代理人 葛野 信 一



第 7 図



昭 62. 1. 7 発行

特許法第17条の2の規定による補正の掲載

手続補正 (自発) 61 9 30
昭和 年 月 日

昭和 57 年特許願第 215803 号 (特開 昭 59-105341 号, 昭和 59 年 6 月 18 日 発行 公開特許公報 59-1054 号掲載) については特許法第17条の2の規定による補正があったので下記のとおり掲載する。 7 (2)

特許庁長官殿



1. 事件の表示 特願昭 57-215803 号

2. 発明の名称

インタデジタルキャパシタ

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601) 三菱電機株式会社
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375) 弁理士 大 岩 増 雄
(連絡先 03(213) 3421 特許部)



Int. Cl. '1	識別記号	庁内整理番号
H01L 23/12 H01P 1/00		7738-5F 7741-5J



5. 補正の対象
明細書の発明の詳細な説明の欄。
6. 補正の内容
明細書をつぎのとおり訂正する。

ページ	行	訂 正 前	訂 正 後
4	8	0000	0000
5	16	0000	0000
5	18	0000	0000
6	7	0000	0000